

束データ方式の非同期式回路に対する遅延測定機構

佐藤 秀一^{1,a)} 大竹 哲史^{2,3,b)}

概要：現在主流となっている大域的な同期信号を用いて処理を行う同期式回路に対し、近年、機能ブロックごとに局所的なタイミング信号を用いて処理を行う非同期式回路が注目されている。非同期式回路は同期式回路と比べ回路構造は複雑であるが、高速動作や低消費電力といった利点がある。本稿では、束データ方式を採用した非同期式回路を対象に、局所タイミング信号の遅延時間を適切な値に設定するための遅延測定機構を提案する。束データ方式は非同期式回路モデルの1つであり、機能ブロックごとの処理時間に応じて局所的に記憶素子の動作タイミングを決めることにより高速な動作を実現する方式である。このタイミングを設定するのが遅延素子である。提案手法では、遅延の測定にタイムデジタイザを用いて遅延素子の遅延量を決める。本稿では、提案手法の有効性を、サンプル回路に対して遷移故障テストを用いて対象回路の遅延マージンを測定することにより示す。

キーワード：遅延テスト、非同期、束データ方式、遅延素子、タイムデジタイザ

A Delay Measurement Mechanism for Asynchronous Circuits of Bundled-data

SATO SHUICHI^{1,a)} OHTAKE SATOSHI^{2,3,b)}

Abstract: Currently, synchronous circuits with global synchronization signals are the mainstream of digital design. On the other hand, asynchronous circuits with local synchronization signals have begun to attract attention. Although asynchronous circuit structure is complex compared with synchronous one, it has advantages that high-speed operation and low power consumption. In this paper, we propose a delay measurement mechanism for asynchronous circuits of bundled-data model. The bundled-data model is one of the design models of asynchronous circuits. It has been proposed to achieve high-speed operation by varying synchronization timing of memory elements according to the processing delay of functional blocks. The timing is determined by delay elements. In the proposed method, we use a time-to-digital-converter (TDC) as a mechanism to measure the delay of a combinational block. Specifically, we seek the longest paths of the combinational block and connect their outputs to the TDC to measure the delay of the block. To evaluate the effectiveness of the proposed method, for a sample circuit, we observe the delay margin of the circuit by using a transition fault test.

Keywords: delay test, asynchronous, bundled-data, delay element, time-to-digital-converter

1. はじめに

現在考えられている集積回路の動作方式は2種類に大別

できる。1つは、クロック信号と呼ばれる大域的なタイミング信号に合わせて動作する同期式、もう1つは、機能ブロックごとに局所的なタイミング信号を用いて処理を行うことにより動作する非同期式である。今日の集積回路の大半は同期式回路である。これは同期式の回路構造が単純であり設計が容易であることによる。これに対し、一般に非同期式回路は構造が複雑であり設計が難しく、大域的なタイミング信号がないため動作タイミングを考慮した上で設

¹ 大分大学大学院工学研究科,
Graduate school of Engineering, Oita University
² 大分大学工学部, Faculty of Engineering, Oita University
³ 科学技術振興機構 戦略的創造推進事業, JST-CREST
^{a)} v13e3009@oita-u.ac.jp
^{b)} ohtake@oita-u.ac.jp

計を行う必要がある。

近年、同期式の限界が露呈しつつある [1]。同期式では、クロック信号が回路全体に同時に伝達することを前提に設計される。しかし、半導体微細化技術の進歩に伴い配線遅延や回路規模が増大し、回路全体をクロック信号で制御することが難しくなっている。配線遅延によって発生するクロック信号のずれ（クロックスキュー）は同期の失敗を引き起こし、広い領域に高い周波数のクロック信号を分配しようとする消費電力が増大してしまう。また、クロック信号がすべての回路要素に同時に伝達する前提を守るためには、クロック信号を回路要素に分配するクロック信号線の配線を厳密に行わなければならない。

これら同期式の問題点の解決策として、非同期式が注目されている。非同期式では、要求・応答信号の対から成る信号で同期タイミングの制御を行い、大域的なクロック信号を用いない。そのため、クロック信号に関わるスキューの問題がなく、必要な時に必要な素子のみが動作するので潜在的に低消費電力である。特に、アイドリング状態の消費電力が非常に少なくなる。また、回路要素間の要求・応答信号を接続することにより回路要素の連結が可能のため、同期式のようなクロック信号線のタイミング調整は不要である。

非同期式回路の設計として、束データ方式、符号化方式（2線方式など）の2種類がある。本稿では束データ方式を対象にする。2線方式には専用の回路構造と素子が必要であり、束データ方式と比較した場合に面積オーバーヘッドの問題がある。2線方式では1ビットの信号を2本の信号線を用いて表現するが、束データ方式では1ビットの信号を1本の信号線で表現する。このため、同期式の組合せ回路とほぼ同じ組合せ回路を、非同期式回路の組合せ回路部分として用いることができる。また、束データ方式では同期式の大域的なクロック信号に代わるものとして疑似クロック生成回路を用いる。疑似クロック生成回路は要求・応答信号のやり取りによりクロックに近い役割を果たす回路であり、疑似クロック生成回路内に任意に遅延を設定することができる可変遅延素子を挿入することにより、疑似クロックの周期を動的に変更することができる。

本稿では、タイムデジタイザにより遅延測定を行い疑似クロックの周期を最適化する手法を提案する。具体的には、束データ方式の非同期式回路を対象として遅延テストを行い、疑似クロック生成回路内の可変遅延素子の適切な遅延値をタイムデジタイザを用いて求める。この手法により、同期式の回路に比べ低消費電力かつ高速動作が可能な非同期式回路の実現が期待できる。

本稿では、2節で非同期式回路の回路モデルと疑似クロック生成回路について概説し、非同期式回路の基本動作について述べる。3節では、テスト容易化設計を施した非同期式回路に対する遅延テストについて述べ、4節で提案手法

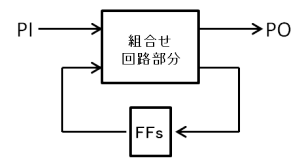


図1 順序回路

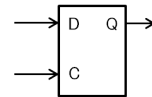


図2 D型FF

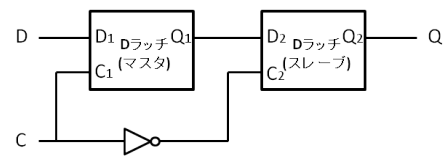


図3 マスタ・スレーブ型DFF

について説明する。5節では、実験対象回路について概説し、タイムデジタイザを用いた遅延測定の結果をタイミングシミュレーションを用いて検証し、6節でまとめる。

2. 諸定義

本節では、同期式と非同期式の仕組みについて説明し、非同期式回路の回路モデルと疑似クロック生成回路について説明する。

2.1 論理回路

順序回路（図1）は、外部入力（PI）と外部出力（PO）をもち、組合せ回路部分とフリップフロップ（FF）から成る。フリップフロップ（FF）とは記憶素子の1つであり、本稿ではD型FF（図2）のみを扱う。D型FFにはデータ入力（D）・データ出力（Q）の他にクロック入力（C）があり、クロック信号によってデータを取り込む。

D型FFはマスタ・スレーブ型DFF（図3）に変換することができる。マスタ・スレーブ型DFFは2つのDラッチと1つのインバータから成る。Dラッチを図4に示し、状態遷移表を表1に示す。データ入力側のDラッチはマスタラッチと呼ばれ、データ出力側のDラッチはスレーブラッチと呼ばれる。クロック信号（CLK）が0のとき、マスタラッチのクロック入力C₁に0の値が入り、スレーブラッチのクロック入力C₂には1の値が入る。したがって、マスタラッチの状態Q₁がスレーブラッチに取り込まれる。CLKが1のとき、マスタラッチにデータ（D）の値が取り込まれ状態Q₁になる。このときスレーブラッチのクロック入力C₂は0であるのでマスタラッチの状態はスレーブラッチの入力で遮断される。この動作により、正しい状態遷移を保証している [2]。

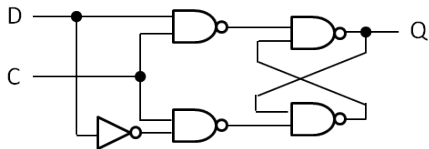


図 4 D ラッチ

表 1 D ラッチの状態遷移表

C	D	Q の次の状態
0	X	変化なし
1	0	Q=0
1	1	Q=1

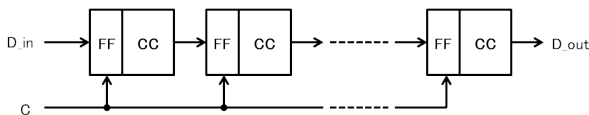


図 5 同期式回路

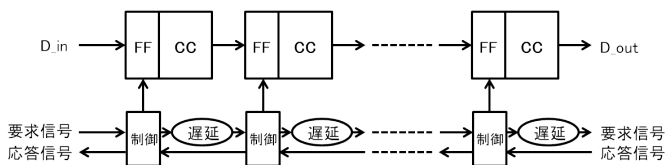


図 6 非同期式回路

2.2 同期式と非同期式のデータ転送

同期式回路 (図 5) では、クロック信号により全ての FF を駆動しデータを転送する。それぞれの FF 間の組合せ回路中の経路の中で、データの伝播遅延が最も大きい経路をクリティカル・パスといい、クロック周期はクリティカル・パスに依存する。そのため、全ての FF 間の経路はクリティカル・パスによって決められたクロック周期で駆動する。クロック信号線による配置・配線により動作が保証されるため、設計段階ではタイミングを考慮する必要がない。しかし、最悪の処理時間に合わせて動作することになる。またアイドル状態では、FF はクロック周期で常に駆動するため電力を消費してしまう。

一方、非同期式回路 (図 6) では大域的なクロック信号を用いず、局所的な要求・応答信号を使用した疑似クロックを用いる。それぞれの FF 間の経路は、その遅延値によって処理時間が決定する。このため、処理時間はデータ伝播時間の平均処理時間と考えることができる。動作は信号を遅らせる遅延素子の遅延値によって保証される。また、要求・応答信号の伝達時にのみ素子が駆動するため、同期式に比べ低消費電力であると期待できる。

2.3 束データ方式

束データ方式の非同期式回路を図 7 に示す。束データ方式は処理部分とタイミング制御部に分かれており、N ビットのデータと 2 ビットの要求・応答信号によりデータの処

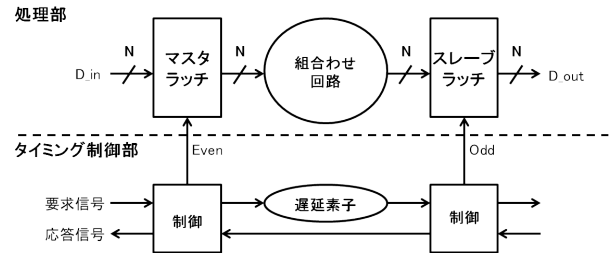


図 7 束データ方式による非同期式回路

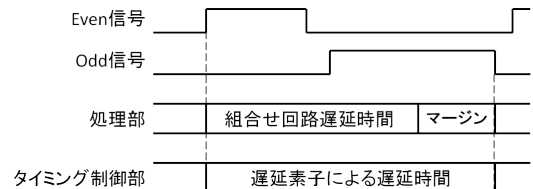


図 8 タイミング処理

理を行う。処理部はタイミング制御部から偶数番目の信号 (Even 信号) と奇数番目の信号 (Odd 信号) を受け取る。タイミング制御部では、要求信号を受け取り Even 信号と Odd 信号を生成し、回路中のタイミンググループにより Even 信号と Odd 信号を順に立ち上げ、クロックのような働きをする。

また、1つのデータを転送しているときのタイミング処理は図 8 のようになる。

2.4 疑似クロック生成回路

疑似クロック生成回路の制御部を図 9 に示す。制御部は、Even 信号と Odd 信号を出力する左右 2 つの回路と 2 つの遅延素子で構成されている。R は要求信号、A は応答信号を表している。Even 信号と Odd 信号は、それぞれすべてのスレーブラッチとすべてのマスタラッチに接続されている。遅延素子部は、一般にインバータを偶数個つなげたインバータチェーン (図 11) を用いる。インバータチェーンは、インバータの数だけ信号遷移を遅らせることができる。本稿では、遅延素子部にインバータチェーンを用い、束データ方式のタイミング制御部に疑似クロック生成回路を用いる。

疑似クロック生成回路の動作を図 10 に示す。Even 信号を E, Odd 信号を O とし、+ は信号の立上り、- は信号の立下りを表す。疑似クロック生成回路の初期状態はリセット信号が立上っている状態と同等であり、疑似クロックを正しく動作させるためにリセットが必要である。図中の黒点はリセット時の状態を表しており、破線の矢印は遷移に順序はあるが Even 信号と Odd 信号の遷移に直接関係がないことを表している。

疑似クロック生成回路の Even 信号と Odd 信号と遅延の関係について、遅延の観点から 2 つの例を挙げる。

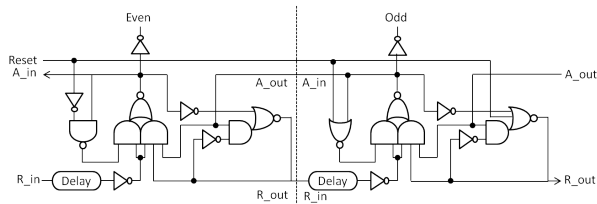


図 9 疑似クロック生成回路

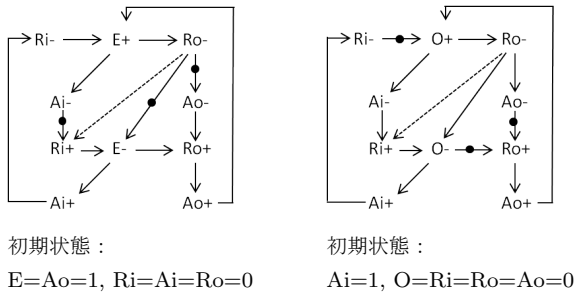


図 10 各信号の状態遷移グラフ

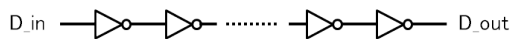


図 11 インバータチェーン

例 1 :

$$E+ \rightarrow Ro/Ri- \rightarrow \boxed{\text{logic delay}} \rightarrow O+$$

例 1 は要求信号の立上り遷移から応答信号の立上り遷移までの順序を示している。Even 信号発振側の疑似クロック生成回路において、Even 信号が立上ると Ro 信号が立下る。これにより Odd 信号発振側の疑似クロック生成回路の Ri 信号が立下り、遅延を経て Odd 信号が立上る。このときの遅延値 $\boxed{\text{logic delay}}$ は、組合せ回路の遅延値と同じかそれ以上の遅延を持たなければならない。

例 2 :

$$O+ \rightarrow Ai/Ao- \rightarrow Ro/Ri+ \rightarrow \boxed{\text{plus delay}} \rightarrow O-$$

例 2 は応答信号の立上り遷移から立下り遷移までの順序を示している。Odd 信号発振側の疑似クロック生成回路において、Odd 信号が立上ると Ai 信号が立下る。次に、Even 信号側の制御回路の Ao 信号が立下り Ro 信号が立上がる。これにより Odd 信号発振側の疑似クロック生成回路の Ri 信号が立上り、遅延を経て Odd 信号が立下る。このときの遅延値 $\boxed{\text{plus delay}}$ は、次の立上り遷移のための遅延であるため最小値であることが望ましい。

この疑似クロック生成回路のほかに、C 素子を用いた疑似クロック生成回路 [3][4] も提案されているが、本稿では一般的なゲートのみを使用した疑似クロック生成回路 [5] を対象にする。

3. 非同期式回路に対する遅延テスト

本稿では、遅延測定を行うために経路遅延故障テストを用いる。本節では、まず経路遅延故障を概説し、テスト容

易化設計であるスキャン設計を説明する。そして経路遅延故障を検出するための遅延テストを説明する。

3.1 経路遅延故障

回路中のある経路の経路遅延故障とは、遅延がその経路のクロック周期を超える故障のことをいう。経路の遅延とは、その経路上のゲートや信号線の遅延の総和をいう。回路中のゲートだけでなく信号線の遅延も考慮している。経路遅延故障モデルの欠点は、回路中の経路数が膨大なものとなることである。したがって、このモデルはすべての経路を対象とせず一部の経路に限定的に用いる。

本研究では、[6] で提案されるパス生成アルゴリズムを用いて非同期式回路の組合せ回路部分に対してクリティカル・パスが 1 本以上含まれるような経路集合を求め、その経路集合の経路遅延故障のみを対象とする。

3.2 テスト容易化設計

順序回路の回路規模が増大すると、テストが困難になる。テスト容易化設計の 1 つであるスキャン設計は、制御信号により全ての FF を直列のシフトレジスタとして動作させる設計である。スキャン設計された順序回路では、各 FF を任意の状態に設定することができると同時にそれらの状態を観測することができる。

スキャン設計された DFF を図 12 に示す。マルチプレクサ (MUX) を用い、Enable 信号 (E) により通常モードとスキャンモードの切り替えを行う。通常モードではデータが FF に転送され、スキャンモードでは FF がシフトレジスタとして機能する。図中の点線は、スキャンモード時のスキャンパスを示しており DFF のクロック信号は省略している。

スキャン設計されたマスタ・スレーブ型 DFF (MS-DFF) を図 13 に示す。DFF に対するスキャン設計をマスタ・スレーブ型 DFF に施している。MUX を用い、Enable 信号 (E) により通常モードとスキャンモードを切り替える。通常モードではデータがマスタラッチ、スレーブラッチの順に転送され、スキャンモードでは MS-DFF がシフトレジスタとして機能する。図中の点線は、スキャンモード時のスキャンパスを示しており、FF のクロック信号と各ラッチの Even 信号と Odd 信号は省略している。

3.3 遅延テスト

回路に故障が存在しないか、存在するときにはどのような故障であるのかを調べる故障検出や故障診断などのテストを行うためにはテストパターンが必要である [7]。これらのテストパターンは、テスト対象となる回路の論理機能や回路を構成している要素の論理機能、要素間の接続といった回路情報をもとに生成される。また、遅延故障は信号値の変化に起因するため、遅延故障の検出には遷移前の信号

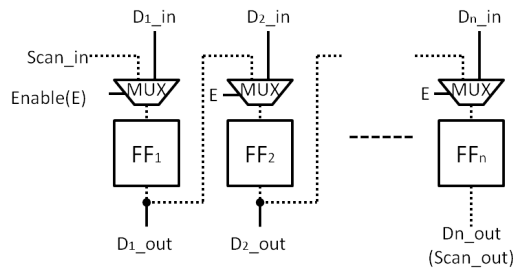


図 12 スキャン設計された DFF

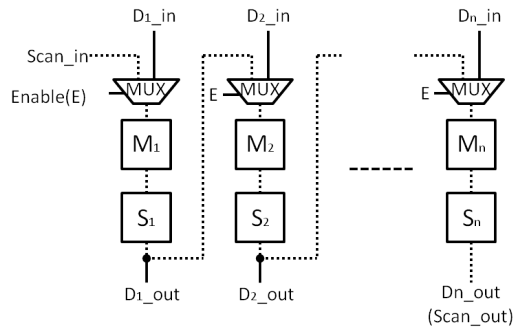


図 13 スキャン設計されたマスタ・スレーブ型 DFF

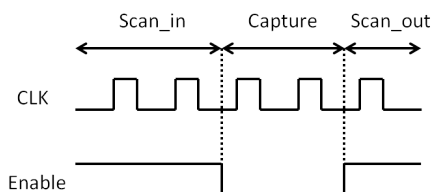


図 14 タイミングチャート

値を設定するパターンと遷移後の信号値を確かめる 2つのパターンを連続して印加する必要がある。このテストを 2パターンテストという。

本稿では、経路遅延故障に対する遅延テストを用いる。具体的には、非同期式回路において組合せ回路部分の各クリティカル・パスに対して 2 パターンテストを行い応答を観測する。また、2 パターンテストを印加する手法としてランチ・オフ・キャプチャ (LoC) 方式 [8] を用いる。

LoC 方式では、1 パターン目をスキャン動作により設定し、通常動作でクロックにより 2 パターン目を設定し、ラッチに値を取り込む。クロック信号とスキャンイネーブル信号のタイミングチャートを図 14、LoC 方式でテストを行うときの各時刻における回路動作の時間展開を図 15 に示す。

4. 提案手法

本節では、タイムデジタイザ [9] を用いた遅延値の測定について説明する。まずタイムデジタイザの各構成要素について説明をし、タイムデジタイザを用いた東データ方式の非同期式回路の遅延測定法を提案する。

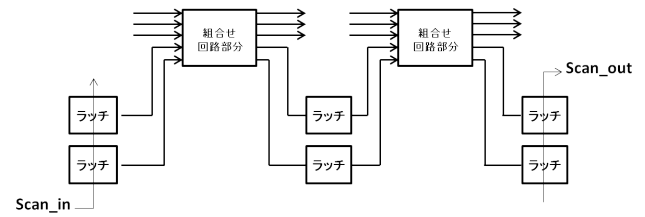


図 15 回路動作の時間展開

4.1 可変遅延素子

可変遅延素子は、通常のインバータチェーンにマルチプレクサを付加し、データ伝播経路上のインバータ数を制御できるように構成される。可変遅延素子の例を図 16 に示す。インバータを 2 個直列接続したものをバッファとして用い、制御信号は省略している。設定可能遅延幅は、制御信号を n ビットとした場合、0 から $2^{n+1} - 1$ 個分のバッファの遅延で、バッファ 1 個刻みの設定をすることができる。

4.2 タイムデジタイザ

タイムデジタイザは、図 17 のように遅延線 (Delay line) とスキャンパス (Scan path) で構成されている。各 FF には制御入力として Odd 信号があり、マルチプレクサには通常モードとスキャンモードを切り替える制御信号があるが、図では省略している。

Odd 信号の立上り遷移で各 FF に遅延線を通る信号を取り込み、連続したアナログ信号を離散的なデジタル信号に変換する。図 8 において、Odd 信号の立下り時では回路処理時間後に余分な時間 (マージン) が存在する。このマージンがバッファいくつ分の遅延を持っているのかをタイムデジタイザにより観測することができる。

4.3 提案手法

図 18 に東データ方式の非同期式回路に提案手法を施した回路の全体図を示す。ダブルラッチの数を N 個とし、回路中の経路から M 個のラッチを終点とするクリティカル・パス集合 ($M \leq N$) を求め、組合せ回路の出力線側からタイムデジタイザへ接続する。その後、対象パスを活性化するテストパターンの印加を行い、対象パスの活性化を行う。活性化したすべてのクリティカル・パスについて遅延を測定し、最小遅延値 (マージンが最も小さいもの) を観測データとして、可変遅延素子の遅延値の再設定に用いる。遅延設定までの流れを図 19 に示す。まず、組合せ回路のクリティカル・パスを選択し、対象パスを活性化するテストパターンを印加する。全てのクリティカル・パスに対し遅延測定を行い、最も小さい遅延値に応じて可変遅延素子に新たな遅延設定を行う。

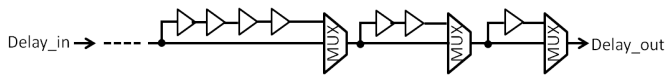


図 16 可変遅延素子

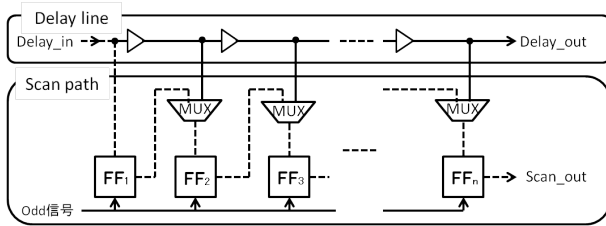


図 17 タイムデジタイザ

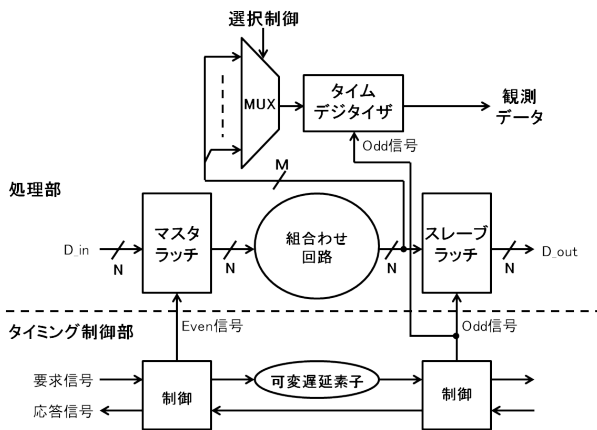


図 18 束データ方式に提案手法を施した場合

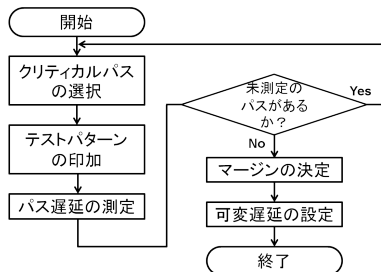


図 19 遅延設定の流れ

5. 実験

本節では、同期式回路を非同期式回路に変換しタイミングシミュレーションを行い、提案法でマージンを測定できることを示す。

実験で用いた CAD 環境を表 2、実験で用いたツール*1を表 3 に示す。実験の流れを図 20 に示す。まず、レジスタ転送レベルの同期式の実験回路に論理合成とテスト容易化設計を施し、ゲートレベルの同期式回路に変換する。ここで、あらかじめゲートレベルの同期式回路の組合せ回路部分に対して、クリティカル・パスを活性化するためのテストパターン集合を求めておく。次にゲートレベルの同期式回路を非同期化し、テストパターン集合を元にテストベンチを生成する。最後に、ゲートレベルの非同期式回路の

表 2 CAD 環境

プロセッサ	Xeon X5675 3.06GHz x 2
メモリ	40GB

表 3 使用ツール

論理合成	DesignCompiler (Synopsys)
テスト生成	TetraMax (Synopsys)
論理シミュレーション	VCS-MX (Synopsys)
タイミング解析	PrimeTime (Synopsys)

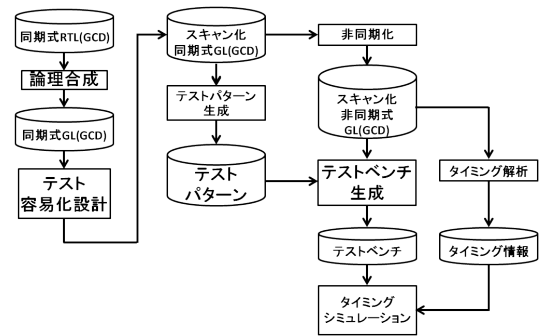


図 20 タイミングシミュレーションまでのフロー

タイミング情報をツールを用いて生成し、テストベンチを合わせてタイミングシミュレーションを行う。

5.1 GCD システム

実験には、最大公約数 (GCD) を求める 8 ビットの順序回路を用いた。GCD を求めるアルゴリズムのフローを図 21 に示す。din・dout は計算の開始・終了を表しており、xin・yin はデータ入力、zout はデータ出力を表す。変数 X と Y の最大公約数を求めるために、減算を繰り返し行う。また、減算結果により変数の一致および大小比較を行うので、ゼロフラグ (Z) と符号フラグ (S) を設ける。GCD システムのデータパスとコントローラの構成を図 22 に示す。データパスは変数 X, Y を一時的に保持するレジスタ X, Y および減算器を持つ。コントローラは din・dout の入出力と制御信号の出力を持つ。

コントローラの状態図を図 23 に示す。Q0 から Q3 までの 4 状態があり、状態遷移の条件を左側、状態遷移後の制御出力を右側に示している。

5.2 対象回路の非同期化

対象回路は最大公約数を求めるプログラムを Verilog HDL 言語 [10] で記述し、同期式で生成した。また、非同期化前に各 FF に対して任意のパターンを設定するためのスキヤン設計を行う。

束データ方式の非同期式回路は、同期式回路の FF を 2

*1 使用ライブラリは、130nm の実際の製造ライブラリを用いた。

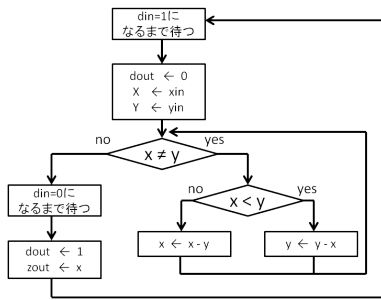


図 21 GCD システムのフロー

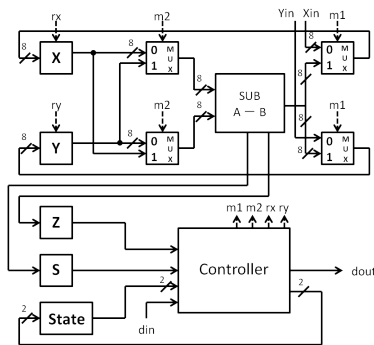


図 22 GCD システムのデータパスとコントローラ

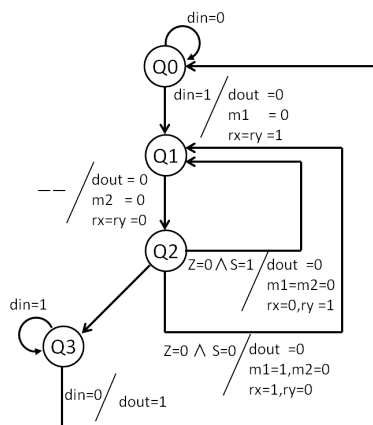


図 23 コントローラの状態図

つのラッチに置き換え、クロック信号を疑似クロック生成回路に取り換えたものである。スキャン設計された同期式回路から束データ方式の非同期式回路への変換を、以下の手順で行う。

- (1) 同期式回路を組合せ回路部分と FF 部分に分割する。
- (2) 各 FF について、そのデータ入力側をマスターラッチ、データ出力側をスレーブラッチに置き換える。
- (3) マスターラッチの出力をスレーブラッチの入力に接続する。
- (4) マスターラッチの制御入力部に疑似クロック生成回路の Odd 信号を接続し、スレーブラッチの制御入力部に疑似クロック生成回路の Even 信号を接続する。

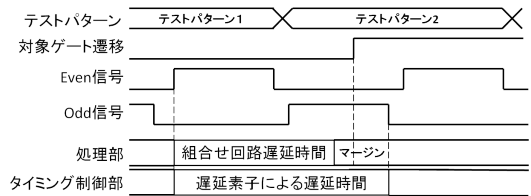


図 24 コントローラの状態図

表 4 各遅延値と観測値

組合せ回路伝播時間 (ns)	2.228
クロック幅 (ns)	3.940
バッファ 1 個分の遅延値 (ns)	0.12
タイムデジタイザ観測バッファ数 (個)	14
クロック幅 - 組合せ回路伝播時間 (マージン)(ns)	1.712

5.3 タイミングシミュレーション

提案手法では経路遅延故障を対象としたテストパターンを用いるが、実験では簡単のため遷移故障を対象として 2 パターンテストを生成し、これを用いた。

実験において、非同期式回路の組合せ回路部分は同期式回路の組合せ回路と同等なため、同期式回路に対して行ったテスト生成で得られたテストパターンを非同期式に用いることができる。遷移故障をデータパス部のあるマルチプレクサの出力に想定し、故障の種類を立上り遷移故障として 2 パターンテストを生成する。得られた 2 パターンテストを元にテストベンチ [11] を作成する。

タイミングシミュレーションは、論理シミュレーションに配置・配線後の伝播遅延などの遅延情報を含めたシミュレーションである。タイミングシミュレーションを行うことにより、実動作に近い状態でシミュレーションを行うことができる。遷移故障を想定したクリティカル・パスの出力にタイムデジタイザを接続し、遷移を波形で観測する。タイミングシミュレーションにより得られた波形を図 24 に示す。Odd 信号の立上がりから Even 信号の立下りまでを 1 クロックとして最長経路の遷移を観測している。最長経路の遷移は、組合せ回路を伝播しタイムデジタイザの遅延線へ伝播する。タイムデジタイザでは、遅延線に流れる遷移を遅延素子の遅延時間終了直後に FF に取り込みマージンを測定する。

実験において観測できた遅延情報を表 4 に示す。時間単位は ns(10^{-9} 秒) で示しており、各値の特性を右側に示している。観測できたバッファ数は 14 個で 1.680ns 分の遅延があり、マージンである 1.712ns に最大数収まるバッファ数となった。

6. おわりに

本稿では、束データ方式の非同期式回路に対する遅延診断機構を提案した。また、タイムデジタイザと遷移故障テストパターンを用いて遅延測定を行い、提案手法によりマージンが測定できることを示した。

謝辞

本研究は東京大学大規模集積システム設計教育研究センターを通しシノプシス株式会社の協力で行われたものである。本研究は一部、科学研究費補助金（課題番号 22700054）の助成を受けたものである。

参考文献

- [1] 南谷崇, “非同期式プロセッサ,” 情報処理, vol.34, no.1, pp.72-80, 1993.
- [2] 藤原秀雄, デジタルシステムの設計とテスト, 工学図書, 2004.
- [3] A. Kondratyev, L. Sorensen, and A. Streich, “Testing of asynchronous designs by inappropriate means. synchronous approach,” In Proc. of 10th International Symposium on Asynchronous Circuits and Systems, pp.171-180, 2002.
- [4] C. J. Myers, Asynchronous Circuit Design, WILEY, 2001.
- [5] I. Blunno, J. Cortadella, A. Kondratyev, I. Lavagno, K. Lwin, and C. Sotiriou, “Handshake protocols for desynchronization,” In Proc. of 10th International Symposium on Asynchronous Circuits and Systems, pp.149-158, 2004.
- [6] W. Qiu, J. Wang, D. M. H. Walker, D. Reddy, X. Lu, Z. Li, W. Shi, and H. Balachandran, “K longest paths per gate (KLPG) test generation for scan-based sequential circuits,” In Proc. of International Test Conference 2004 (ITC’04), pp.223-231, 2004.
- [7] M. Abramovici, M. A. Breuer, and A. D. Friedman, Digital Systems Testing and Testable Design, Wiley-IEEE Press, 1993.
- [8] 梶原誠司, 佐藤康夫, “論理回路に対する遅延テスト手法,” 電子情報通信学会 基礎・境界ソサイエティ誌 Fundamentals Review, vol.1, no.3, pp.71-74, 2008.
- [9] H. Yotsuyanagi, H. Makimoto, and M. Hashizume, “A boundary scan circuit with time-to-digital converter for delay testing,” In Proc. of Asian Test Symposium, pp.539-544, 2011.
- [10] 小林優, 入門 Verilog HDL 記述, CQ 出版社, 1996.
- [11] 安岡貴志, テストベンチ記述の初歩, CQ 出版社, 2010.