

タイミングエラー予報フリップフロップを利用した LSI 設計におけるチップ面積オーバーヘッドの見積もり

吉木崇人[†] 矢野 憲^{†, ‡} 林田隆則[†] 佐藤寿倫[†]

半導体微細化技術の進展に伴い、従来は問題とならなかった製造ばらつきが深刻化し、最悪ケースを考慮して設計することが困難になってきた。過剰なマージンを確保するために、性能や消費電力に及ぼす影響が甚大になっているわけである。そこで最小のマージンで LSI を動作させるために、タイミング違反を生じる限界まで電源電圧を削減することのできる動的な適応手法が研究されている。カナリア FF はそのような手法の一つであり、近い将来に生ずる可能性の高いタイミング違反を予報する。カナリア FF は FF の冗長化を利用しているためにセル面積が大きく、全ての D-FF をカナリアに置き換えるとチップ全体の面積に与える影響が心配される。そこで本研究では、カナリア FF のレイアウト設計を行ってセル面積を評価し、それに基づいてチップ面積オーバーヘッドの見積もりを行った。

Estimation of Chip Area Overhead Caused by Timing-error-predicting Flip-flops

Takahito Yoshiki[†] Ken Yano^{†, ‡}
Takanori Hayashida[†] Toshinori Sato[†]

The advance in semiconductor technologies causes parameter variations, which makes worst-case design methodology difficult to work. Significantly large margins required by the methodology diminish LSI performance and increases power consumption severely. In order to eliminate the overestimated margin, several studies on dynamically adaptive techniques to reduce the supply voltage are being investigated. Canary FF is one of such techniques and predicts timing errors that will occur soon. It consists of redundant FFs and thus its area is larger than the conventional D-FF. The large cell size will increase the whole chip area when all D-FFs on the chip are replaced by Canary FFs. This paper evaluates the area overhead via designing Canary FF's cell layout.

[†] 福岡大学
Fukuoka University

[‡] 科学技術振興機構, CREST
JST, CREST

1. はじめに

近年の半導体微細化に伴い、素子特性のばらつきが増大している[1]。これにより従来行われてきた最悪ケースを考慮する設計が非常に困難になってきている。なぜなら、そのために必要とされる設計マージンが過剰に見積もられ、性能や消費電力に与える影響が深刻となるからである。そこで、最悪ケースではなく典型的ケースを指向する設計手法を用いたタイミングエラー検出 FF の研究が盛んに行われている。しかし、タイミングエラー検出 FF は通常の FF よりも複雑な回路となるため、LSI のチップ面積増加が問題となる。そこで、本研究ではタイミングエラー検出 FF のひとつである、カナリア FF のレイアウト設計を行うことでチップ面積オーバーヘッドの見積もりを行う。本論文は以下の構成をとる。2章で典型的ケース指向設計について説明し、3章でカナリア FF のレイアウト設計について報告する。4章でカナリア FF 置き換え時のチップ面積オーバーヘッドについて考察する。5章で本論文をまとめる。

2. 典型的ケース指向設計

近年の半導体技術の微細化に伴い、素子特製のばらつき問題が深刻化している[1]。従来は最悪ケースでも動作するようなマージンをとることで対処してきたが、ばらつきが増大していくとそれだけ大きなマージンを要し、性能や消費電力に与える影響が深刻になる。例えば、ばらつきを考慮して、最悪ケースでも動作速度を満足させようとすると、電源電圧を高く設定する必要があり、消費電力が高くなる。それを避けるためにマージンを小さくすると、素子特性の最悪ケースを想定することが出来ず、従来の設計手法では LSI の設計が困難になる。

このような背景から、設計容易さを向上するための設計手法が求められている。その一つの手法として、典型的ケース指向設計がある[1]。典型的ケース指向設計では、従来の最悪ケース指向設計のように最悪ケースに囚われることなく、典型的ケースに配慮する。これは、最悪ケースが実際に起こるのは稀であるためである。最悪ケースに配慮する必要が無くなれば、設計制約は大きく緩和されるので、設計が容易になるとともにその期間も短縮されることが期待される。典型的ケース指向設計において、設計者はひとつの機能に対して二つの回路を実現する。ひとつは性能を指向した設計であり（性能指向設計）、典型的ケースのみが考慮される。つまり、最悪ケースを考慮する必要が無いので、制約が緩和され設計が容易になる。もうひとつは機能を保証する設計である（機能保証設計）。ここでは設計者は、最悪ケースを考慮しなければならないが、性能への配慮は必要ない。機能の保証のみをすれば良いので、シンプルな設計が可能になる。

典型的ケース指向設計の概念を図 1 に示す。図 1 において、設計対象は二つの回路

として設計されている。それぞれをメイン部、チェック部と呼ぶ。二つの機能は同一であるが、役割と実装が異なっている。メイン部の設計において設計者は、性能を向上するような最適化を施す必要があるが、機能が常に正しいことを保証する必要は無い。つまり、メイン部はエラーを生じる可能性がある。上述した性能指向設計に基づいている。チェック部は、信頼性に欠けるメイン部のセーフティネットとして用意される。メイン部で起こり得るあらゆるエラーを検出する必要があるため、設計対象の LSI チップにおける全ての設計制約を満足することが求められる。つまりチェック部の設計において設計者は最悪ケースを考慮しなければならないわけであるが、性能改善のための最適化を実施する必要は無い。上述の機能保証設計に基づいている。

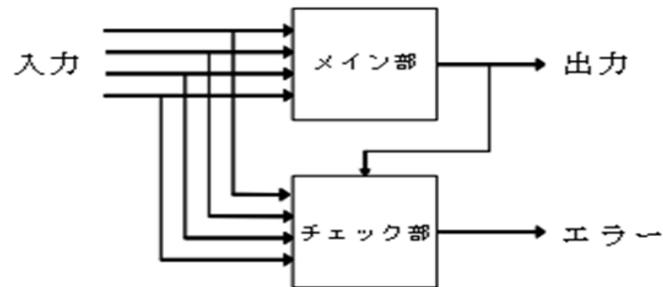


図1 典型的ケース指向設計の概念図

2.1 Razor FF

前節で述べた典型的ケース指向設計と同様の思想に基づいた、タイミングエラー検出 FF の一つとして、図2に示す Razor FF が提案されている[2]。Razor FF は、メインの FF に加えてシャドウ FF と呼ばれる FF を持つ。シャドウ FF はメイン FF に比べてタイミング制約が緩和されている。シャドウ FF には遅延クロックが供給され、前段からの信号を受け取るタイミングがメイン FF に比べて遅いためである。そのため、メイン FF でタイミングエラーが発生してもシャドウ FF には正しい値が保持されることが期待できる。メイン FF とシャドウ FF の2つの値を比較し、その値が異なると、前段からメイン FF に至る回路のタイミングエラーが検出されたことになる。タイミングエラーにより発生した故障状態は備えられている故障回復機構により正しい状態へと回復される。Razor FF では、タイミングエラーの発生頻度に応じて電圧を制御することで、消費電力を削減することができる。タイミングエラーの発生頻度が小さい間は電源電圧を下げ、逆に発生頻度が高ければ電源電圧を上げる。閾値となるタイミン

グエラー発生頻度が予め設定されており、制御システムはその値を維持することに努める。Razor FF は設計マージンを取り除く非常に優れた方式であるが、回路実装において改善の余地がある。次節においてその改善策の一つとしてカナリア FF についての説明を行う。

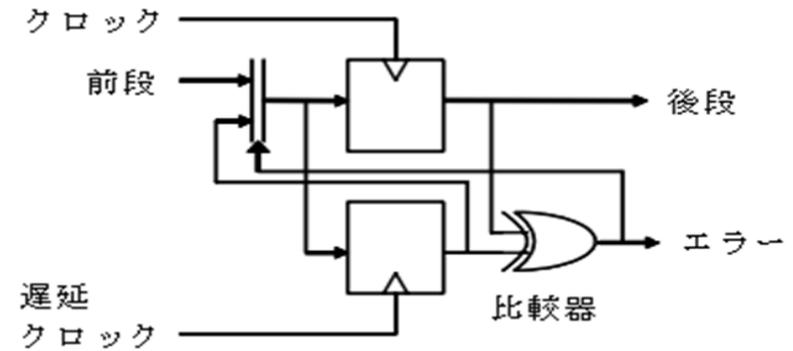


図2 Razor FF

2.2 カナリア FF

図3に Razor FF を改善したカナリア FF[1]を示す。この回路では、遅延クロックの代わりに遅延素子が利用される。カナリア FF はメイン FF で発生するタイミングエラーを検出する目的ではなく、メイン FF で発生するタイミングエラーを予報する目的で利用される。遅延素子が挿入されているので、シャドウ FF はメイン FF よりもタイミング制約が厳しい。したがって、シャドウ FF の方が必ずメイン FF よりも先にタイミングエラーに遭遇する。メイン FF とシャドウ FF に保持されている値を比較し、異なる場合にタイミングエラーの予報を行う。エラーが予報されると、電源電圧を上げる処置が施され、メイン FF でのエラーを予防する。カナリア FF は、Razor FF と異なりメイン FF でのタイミングエラーを予防するため、いかなる回復機構も不要となる。また、遅延素子の挿入によりどのような素子ばらつきを生じて、メイン FF よりもカナリア FF が先にタイミングエラーに遭遇するため、大きな素子ばらつき下における動作が保障される。

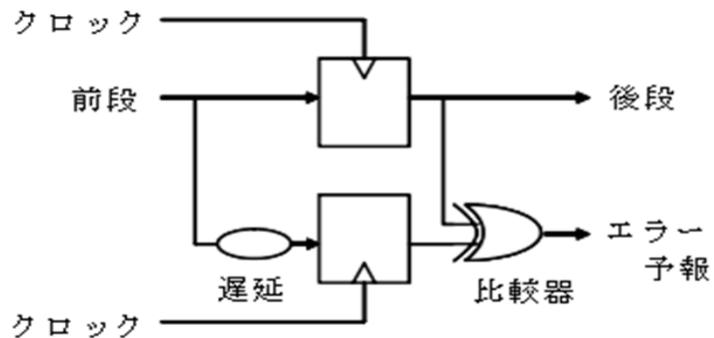


図3 カナリア FF

3. カナリア FF のレイアウト設計

本章ではカナリア FF のレイアウト設計について述べる。前章で述べたように、カナリア FF は D-FF を冗長に持ち、タイミング違反を予報するための回路が付加されるため、少なくとも 2 倍以上の面積となる。カナリア FF セルの面積をもとにチップ全体の面積を見積もる。チップ面積オーバーについては次章で考察する。

東京大学 VDEC から提供されている LSI CAD ツールを利用してレイアウト設計を行った。具体的には、Cadence 社 Veruoso の Schematic Composer で回路設計を、同じく Layout Suite でレイアウト設計を行った。テクノロジーは VDEC を通しローム株式会社から提供されている CMOS 0.18 μm である。レイアウト設計では京大版標準セルライブラリ [3] を参考にし、トランジスタのサイズをそこで用いられている最小サイズとした。

図 3 に示したように、カナリア FF は二つの D-FF、遅延素子、そして XOR ゲートから構成される。遅延素子をインバータ 2 段で実現することになると、D-FF、インバータ、そして XOR ゲートが必要な基本素子である。まず、これらの基本素子のレイアウトを作成し、続いてこれらを用いてカナリア FF の全体を構築する。

3.1 トランジスタ回路設計結果

図 4～図 7 に、インバータ回路、トランスミッションゲート、XOR ゲート、そして D-FF の回路図を示す。今回は、XOR ゲートをインバータ回路とトランスミッションゲートで構成し、D-FF にはマスター・スレーブ型の D-FF を採用した。

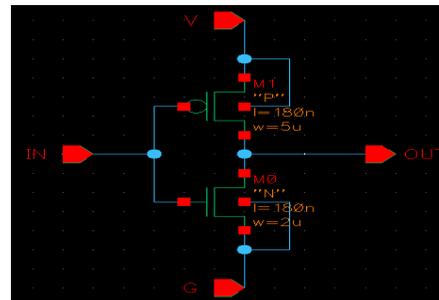


図4 インバータ

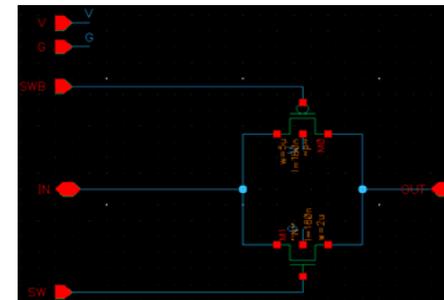


図5 トランスミッションゲート

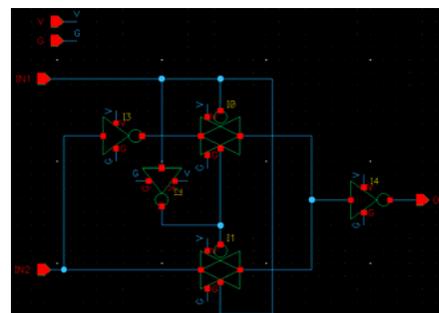


図6 XOR ゲート

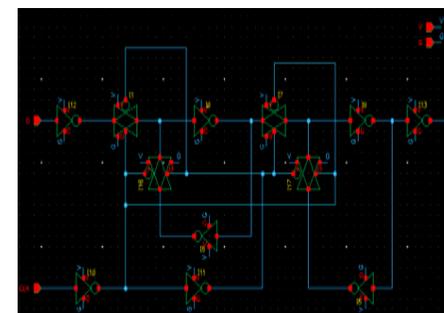


図7 D-FF

以上の基本素子を組み合わせて完成させたカナリア FF を図 8 に示す。表 1 にそれぞれの回路の規模をトランジスタ数で示す。カナリア FF は比較的大きな回路規模となり、標準セルライブラリのセルとしてそのレイアウトを作成するには工夫が必要である。

表 1 基本素子とカナリア FF の回路規模

回路	インバータ	トランスミッション	XOR	D-FF	カナリア FF
Tr 数	2	2	10	24	62

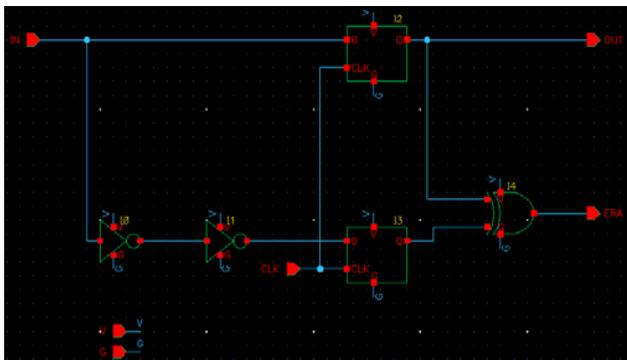


図 8 カナリア FF

3.2 レイアウト設計結果

図 9 にインバータ回路，トランスミッションゲート，そして XOR ゲートのレイアウトを示す．図 10 と図 11 には，図 9 の基本セルを用いて作成された D-FF とカナリア FF のレイアウトを示す．表 1 で予想したようにカナリア FF のセルは規模が大きくなり，非常に横長のレイアウトとなった．

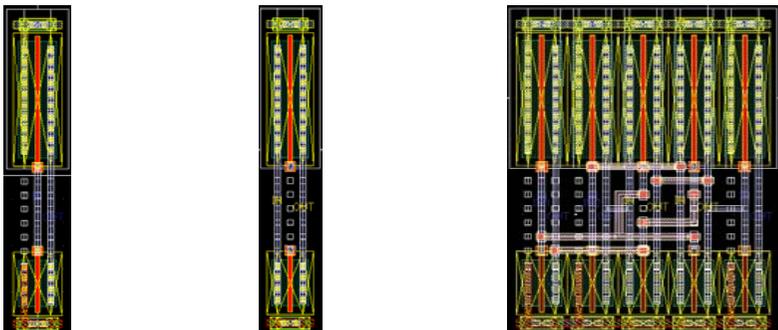


図 9 インバータ，トランスミッションゲート，XOR のレイアウト

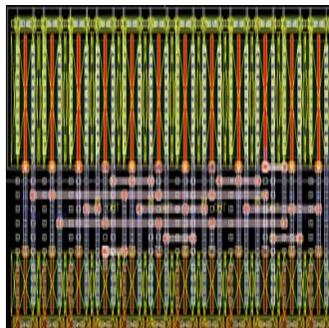


図 10 D-FF のレイアウト

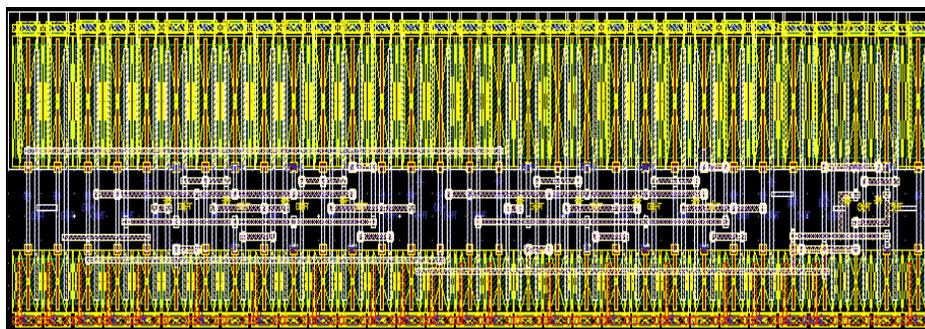


図 11 カナリア FF のレイアウト

図 10 と図 11 を比較すると，カナリア FF は D-FF と比較して約 2.6 倍大きいことが分かる．全ての D-FF をカナリア FF に置き換えると，チップ面積は大幅に増大すると予想できる．また，図 11 のような横長のセルはチップ全体のレイアウトを困難にするため，面積オーバーヘッドは一層大きくなると思われる．チップ全体レイアウトの自由度を向上して面積オーバーヘッドを小さく抑えるためには，カナリア FF のセルを二つに分割し，二階建て構造にする等の工夫が必要である．

4. チップ面積オーバーヘッドの見積り

3 章でカナリア FF のセルレイアウトを行い，D-FF から置き換える際の面積増を調査した．チップにおける全ての D-FF をカナリア FF に置き換えると，チップ面積が大

幅に増加すると考えられる。このままではカナリア FF は実用的であるとは言えないので、カナリア FF の挿入位置を限定する手法が提案されている[4]。この方法では、面積の増加を抑制するために回路のパスの遅延分布を利用してカナリア FF の挿入位置を限定している。論理段数や配線長によって個々の回路パスの遅延時間は異なる。したがって、遅延時間が短い回路パスは最悪条件になってもタイミングエラーを起こさないものが存在する。これらのパスの出力側に接続される FF をカナリア FF に置き換えてもエラーは予報されない。そこで、タイミングエラーを起こす可能性のあるパスを特定し、その出力側に接続される FF のみをカナリア FF と置換することでカナリア FF とそのタイミングエラー予報収集のための回路の面積を抑制することができる。

文献[4]では、株式会社東芝社の Media Embedded Processor (MeP)コア[5]を用いて手法の評価を行っている。テクノロジーは株式会社イー・シャトルの 65nm CMOS である。最悪条件下でのカナリア FF の数は、全 D-FF 3,732 個中の 788 個、約 21%であったと報告されている。この値をもとに、今回の実験において得られたカナリア FF のセル面積を使って、D-FF をカナリア FF に置き換えた場合のチップ面積オーバーヘッドを見積もった。カナリア FF の挿入位置を限定する場合は、わずか 6%のチップ面積増であることが判明した。セルレイアウトで使用したテクノロジーと世代が異なるが、面積オーバーヘッドの見積りは相対的なものであり、テクノロジーの違いは問題とはならない。

5. まとめ

半導体微細化技術の進展に伴い、従来は問題とならなかった製造ばらつきが深刻化し、最悪ケースを考慮して設計することが困難になってきた。過剰なマージンを確保するために、性能や消費電力に及ぼす影響が甚大になっている。そこで必要最小限のマージンで LSI を動作させることが出来るように、タイミング違反を生じない範囲で電源電圧を削減する動的な適応手法が研究されている。カナリア FF はそのような手法の一つであり、近い将来に生ずる可能性の高いタイミング違反を予報する。カナリア FF は冗長に FF を持つためその面積は大きく、全ての D-FF をカナリアに置き換えるとチップ全体の面積に与える影響が心配される。そこで本研究では、カナリア FF のレイアウト設計を行いチップ面積オーバーヘッドの見積りを行った。カナリア FF のセル単体では約 2.6 倍の面積増となることを確認し、チップ全体では約 6%の面積増となると見積もられた。

今回得られた結果は、カナリア FF に置換えられる D-FF の数に基づいた見積りに過ぎず、配置配線の結果を利用していない。特に配線の影響は大きいと思われるので、配置配線結果に基づく評価が必須である。現在、京大版ライブラリを用いて MeP の配置配線実験を行っており、近い将来に結果を報告できると考えている。

謝辞

本研究の一部は、JST CREST プロジェクト「統合的高信頼化設計のためのモデル化と検出・訂正・回復技術」、および、福岡大学研究推進部の研究経費(課題番号:117005)によるものである。本研究は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社の協力で行われたものである。

参考文献

- [1] 吉木, 佐藤, 林田, "タイミングエラー予報 FF を利用するマルチコアプロセッサのパワーマネージメント," 情報処理学会九州支部 火の国情報シンポジウム, CD-ROM, March 2011.
- [2] D. Ernst, N. S. Kim, S. Das, S. Pant, R. Rao, T. Pham, C. Ziesler, D. Blaauw, T. Austin, K. Flautner, and T. Mudge, "Razor: a Low-power Pipeline Based on Circuit-level Timing Speculation," 36th International Symposium on Microarchitecture, pp.7-18, December 2003.
- [3] 小野寺, 平田, 北村, 小林, 田丸, "P2Lib : スタンダードセルライブラリ自動生成システム," 情報処理学会論文誌, Vol. 40, No. 4, pp.1660-1669, April 1999.
- [4] Y. Kunitake, T. Sato, H. Yasuura, and T. Hayashida, "A Selective Replacement Method for Timing-Error-Predicting Flip-Flops," 54th IEEE International Midwest Symposium on Circuits and Systems, CD-ROM, August 2011.
- [5] Y. Kondo, T. Miyamori, T. Kitazawa, S. Inoue, H. Takano, I. Katayama, K. Yahagi, A. Ooue, T. Tamai, K. Kohno, Y. Asao, H. Fujimura, H. Uetani, Y. Inoue, S. Asano, Y. Miyamoto, A. Yamaga, Y. Masubuchi, and T. Furuyama, "A 4 GOPS 3 way-VLIW Image Recognition Processor Based on a Configurable Media-processor," International Solid-State Circuits Conference, pp.148-149, February 2001.