

シフタを用いたFPGA配線構造向け配線手法

富野恭兵^{†1} 井上万輝^{†1} 尼崎太樹^{†1}
飯田全広^{†1} 久我守弘^{†1} 末吉敏則^{†1}

FPGAではデバイス面積の9割、遅延の6割を配線部が占めており、配線部の性能改善が求められている。これにあたり、配線混雑は重要な要因となる。この配線混雑の緩和のためにFPGAでは非常に多くの配線リソースを備えており、結果としてデバイス面積と遅延が増加してしまう。そこで我々は少ないリソース追加で配線混雑を緩和するために、シフタ付きスイッチブロックを提案している。本稿では、シフタ付きスイッチブロック向け配線ツールの開発とその配線アルゴリズムを提案する。ベンチマーク回路を実装し評価した結果、従来の配線構造と比較して遅延は3.42%改善した。しかし、実装面積は18.4%改悪した。

A novel router for FPGA with Switch-Block-cum-Shifter

KYOHEI TOMINO,^{†1} KAZUKI INOUE,^{†1}
MOTOKI AMAGASAKI,^{†1} MASAHIRO IIDA,^{†1}
MORIHIRO KUGA^{†1} and TOSHINORI SUEYOSHI ^{†1}

In conventional FPGA, the interconnects of FPGA have great impacts on the delay and area of implemented circuits. They cause the degradation of device performance. One of the reasons is the rapid increment of signals by detouring of route. Because of this, routing delay and area are increased. In order to the detour, we have proposed the Switch-Block-cum-Shifter. But, there is no router for proposed Switch Block. In this paper, we developed the router for proposed Switch Block, and evaluated it. As a result, we found that proposed Switch Block can reduce 3.42% of critical path delay compared to conventional FPGA.

1. はじめに

FPGA(Field Programmable Gate Array)は高い柔軟性を実現するために論理ブロックや配線等の多くの回路リソースを有している。このため、同プロセス、同機能のASIC(Application Specific Integrated Circuits)と比較すると回路面積が大きい。特に配線部はダイ面積のおよそ9割を占め¹⁾、遅延も約6割が配線部に起因している²⁾。このため、FPGAの性能向上には配線部の改善が必要となる。

配線部の性能向上を目指すにあたり、配線混雑は重要な要因となる。現在の配線構造では、デバイス中心部で信号の混雑が起きるため全ての信号が最短経路で伝搬できるわけではない。信号による配線トラックの競合により、競合した信号のどちらかが配線経路の迂回を生じる場合が数多く存在する。それにより配線リソースを余分に使うため、新たな配線トラックの競合と迂回の悪循環を発生する。このことは遅延や実装面積増加につながる。さらに他の信号の伝搬にも支障をきたし、さらなる配線混雑を生むといった問題もある。ただし、単にスイッチブロックやコネクションブロックの柔軟性を上げただけでは配線リソースが増え、逆に面積が増加する。

そこで我々は、面積の増加を抑えつつ信号伝搬経路の迂回を解消することを目的としたシフタ付きスイッチブロックを提案している³⁾。シフタ付きスイッチブロックは、バレルシフタとスイッチブロックにより構成される。スイッチブロックにシフタを付加することにより信号伝搬に使用する配線トラックを任意のシフト量で切り替えることができる。このためスイッチブロックの構成はそのままに配線の柔軟性をあげることができる。本稿では、シフタ付きスイッチブロック向け配線アルゴリズムを提案する。本稿では、20種類のMCNCベンチマーク回路を実装し、提案手法の効果を示す。

以下、2章ではシフタ付きスイッチブロックを用いた配線構造について提案するに至った従来の配線構造の問題点から詳しく述べる。3章ではシフタを用いた配線構造向けの配線手法について述べる。4章では評価と考察を行い、5章でまとめる。

2. シフタ付きスイッチブロックを用いた配線構造

本章ではまず、従来のFPGA配線構造について述べる。その後、現在の配線構造の問題点について述べる。そして最後に、その問題を受けて提案されたシフタ付きスイッチブロックを用いた配線構造について述べる。

^{†1} 熊本大学大学院 自然科学研究科

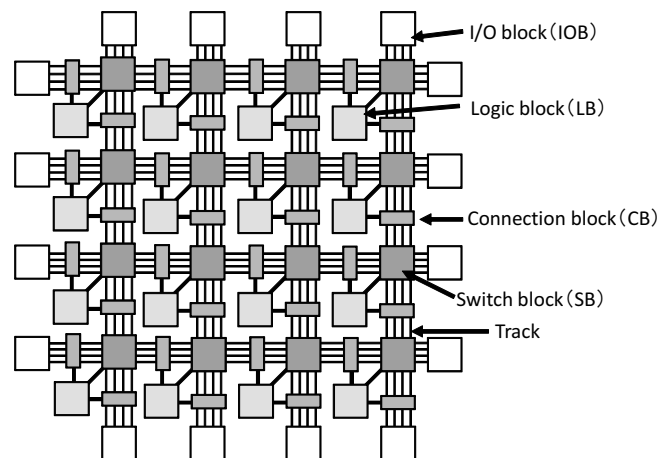


図1 従来のFPGAの配線構造

2.1 従来のFPGAの配線構造

図1に従来のFPGA配線構造を示す。ここでは、任意の論理を実現するLB(Logic Block), 水平配線および垂直配線の交差点に置かれたSB(Switch Block), 配線トラックとLBを接続するCB(Connection Block)が二次元アレイ状に配置されている。本論文では便宜上, LBを論理部, CBとSBおよび配線トラックを配線部と呼ぶ。図2にWiltonタイプSB⁴⁾の概略図を示す。図2(a)はスイッチの柔軟性 $F_s=3$, 図2(b)はスイッチの柔軟性 $F_s=6$ である⁵⁾。 F_s はSBの柔軟性を表し $F_s=3$ のときは入力が3つの出力と接続され, $F_s=6$ のときは6つの出力と接続される。SBの面積と柔軟性はトレードオフの関係にあり, $F_s=6$ では $F_s=3$ に比べて柔軟性は向上するが, 面積が大きくなる。本研究では文献⁶⁾を参考にし $F_s=3$ のSBを使用する。

2.2 現在の配線構造の問題点

現在の配線構造の問題点は, 配線利用の断片化により発生する配線経路の迂回とそれにより生じるチャンネル幅の増加および配線伝搬遅延の増加である。図3を例に具体的に説明する。図3は回路を実装した際の配線の使用状況の例である。実線に“×”がついているものが既に使用されている配線, 実線のみのもが使用されていない配線を示す。回路実装時, 配線はほぼランダムに使用されるため, 未使用の配線が断片的に発生する場合がある。そして他の信号が未使用配線を利用しようとしても, 未使用配線間を接続するためのスイッチが

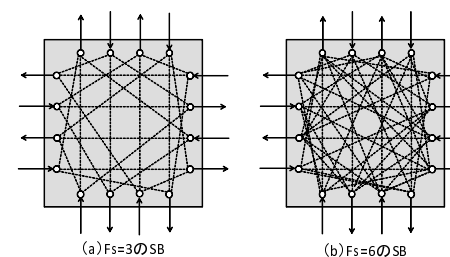


図2 WiltonタイプSBの概略図

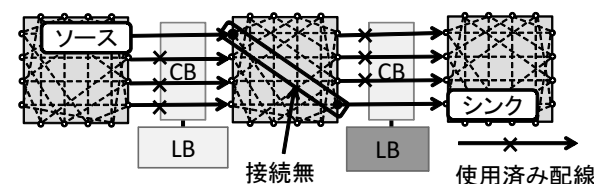


図3 同一配線チャンネル内での配線トラックの移動

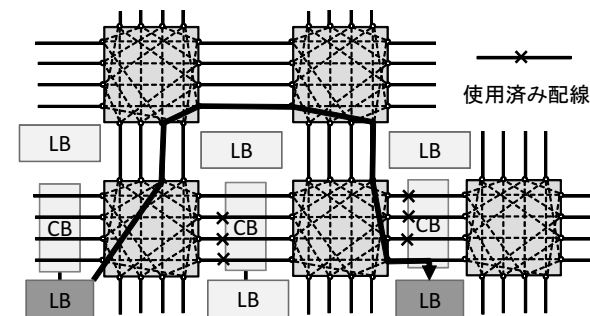


図4 経路迂回の例

SBに存在しないため, 未使用配線を利用できない。このような場合, 信号は迂回して他の経路を通過する。図4に経路迂回の例を示す。図中には最短経路に未使用配線はあるが未使用配線同士は接続をもっていない。結果として, 出力元LBから出力先LBへの信号は他の遠回り経路(迂回)を選択する。これにより, 余分な配線を使用し伝搬遅延も増加する。

実際に参考文献³⁾では回路を実装した際にどの程度の迂回が発生するかを調査しており,

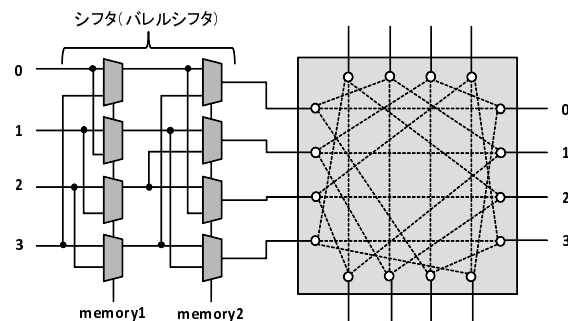


図 5 シフト付き SB の構造

回路内の全信号中の 65% の信号が迂回をしていることを確認している。デバイス性能向上のためには、配線経路迂回の削減が重要である。

2.3 シフト付きスイッチブロック

迂回を回避するため、SB への入力信号を任意のポートに移動するための手段として、パレルシフト付きスイッチブロックが提案されている。パレルシフトは入力信号を任意にシフトすることができ、同じ入力数のクロスバ構造より小面積という特徴を持つ。

図 5 に、パレルシフトを付加したシフト付きスイッチブロック (以下、シフト付き SB) の構造を示す。これより、シフト動作することで同一配線チャンネル内の配線トラックを移動可能となり、接続可能な配線が増えることで配線の柔軟性が向上する。図 6 では、実際にシフト付き SB によって同一配線チャンネル内で配線トラックを移動する例を示す。図中のシフトはパレルシフトを表しており、例ではシフト量 3 のシフト動作を行っている。このようにシフトを用いて配線トラックを移動することで、余分な迂回を削減することができる。ここでは一つの信号経路に着目しているが、実際には図 7 に示すように、入力される信号全てが同じようにシフトされる。このため、シフトは入力される全信号の伝搬経路を考慮してシフト動作を行う必要がある。

3. 提案配線構造向け配線手法

本章ではシフト付き SB 向け配線手法について述べる。なお、提案配線手法は FPGA 向け配置配線ツールである VPR の Timing-Driven ルータアルゴリズムを基に開発する。

3.1 Timing-Driven ルータ

Timing-Driven ルータの配線フローを図 8 に示す。まずは配線処理時に使用する配線構造

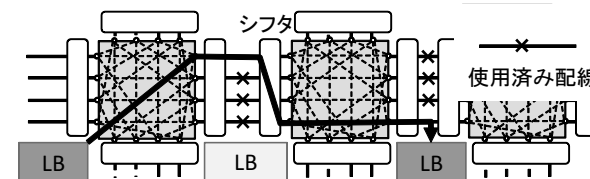


図 6 シフト付き SB を活用した例

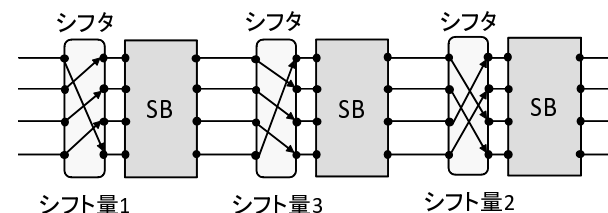


図 7 シフトにより経路をシフトする例

モデル Routing Resource Graph(RRG) をアーキテクチャファイルをもとに作成する。図 9 に配線構造を RRG に変換する例を示す。RRG は、入出力ピンや配線をノード、スイッチ等による接続関係をエッジとして表したグラフである。アーキテクチャファイルには配線構造の詳細なアーキテクチャ情報や抵抗・容量といったデバイス物理情報が記載されている。ルータはこれらの情報をもとに作成された RRG を探索することで配線経路を決定する。次に全ネットの配線処理を行う。図 10 に詳細な配線処理の例を示す。図中の A と B 同士はそれぞれソースとシンクの関係になっている。ネットとは LB や IO 間の接続のことである。ここでは、RRG の最小コストノードを探索することで信号経路の決定を行う。コストとは遅延値と混雑度である。このルータでは各ネットの信号経路の決定は独立して行われる。つまり、図 10(a) に示すように、一つの配線に複数の信号が競合する場合がある。配線の成功判定はこの信号競合の有無で決定する。信号の競合が有る場合は配線失敗、無い場合は配線成功となる。配線に失敗した場合は、競合が起こったノードに混雑度コストを加算する。これにより、クリティカリティの低い信号はコストの高い配線を避けて通る。よって次の全ネット配線では、図 10(b) に示すように、B 間の信号のようにクリティカリティの低い信号が別経路を通る。これを繰り返すことで競合を減少させる。

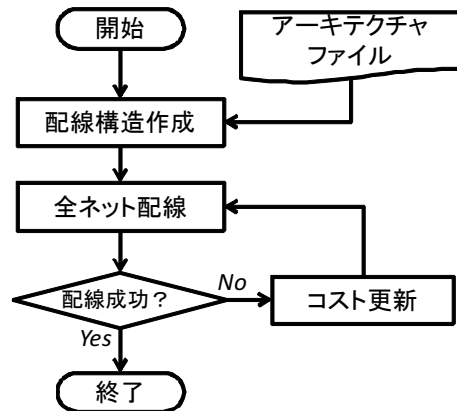


図 8 配線フロー

3.2 提案ルータ

Timing-Driven ルータに対する本提案ルータの改良点は以下の 2 点である。

- 配線構造モデル (RRG) の改良
- 配線処理時のシフト動作制御

以降から上記 2 点について詳述する。

3.2.1 配線構造モデルの改良

図 11 に SB の接続関係の RRG を示す。接続関係を破線、配線が通った部分を実線で表す。 $x[0]$ と $x[1]$ に注目した時の接続関係のみを表記する。従来の配線構造である SB は図 11(a) のような接続関係をもっており、図 11(b) のような RRG で表記される。また、従来の配線構造の接続関係は互いに干渉し合わないので、図 11(c) のように $x[0]$ から $e[0]$ まで配線が通っても図 12(d) のように RRG が変わることはない。図 12 にシフト付き SB の接続関係の RRG を示す。接続関係を破線、配線が通った部分を実線で表す。 $x[0]$ と $x[1]$ に注目した時の接続関係のみを表記する。シフト量未決定のシフト付き SB はシフト動作を考慮すると図 12(a) のような接続関係を持っており、図 12(b) のような RRG で表記される。シフト動作はシフトタに入力される信号全てをシフトするので、図 12(c) のように $x[0]$ から $w[1]$ を通って $e[1]$ まで配線が通った時、通った経路によってシフト量が決定される。図 12(c) はシフト量 [1] の例である。シフト量が決定されると図 12(d) のようにシフト量に合った接続関係のみを RRG とする。

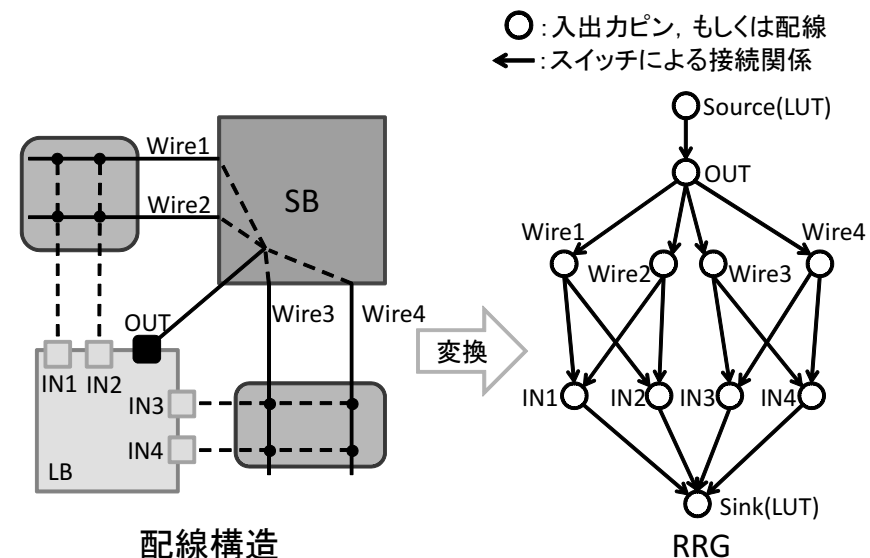


図 9 配線構造の RRG への変換

3.2.2 シフト動作制御手法

前述したとおり、シフトは複数の信号経路に影響を及ぼすため、シフト量を適切に設定する必要がある。そこで本提案配線手法ではシフト量の設定を以下の方針で行う。

- (1) 一番最初にシフトタに入力される信号が最短経路を通過するようにシフト量を決定
- (2) 配線処理時に使用されなかったシフト量にはコストを加算

まず方針 (1) について詳しく述べる。各シフト量の決定権を各シフトタに一番最初に配線される信号に与えるため、各信号を配線する順番は非常に重要になってくる。そこで、各信号にクリティカルリティという値を付加し、そのクリティカルリティが高い順に配線を行う。クリティカルリティとは信号のソースからシンクまでの伝搬遅延を指す。したがって、クリティカルパス（最も遅延値の大きい信号）が最もクリティカルリティが大きく、配線時に一番最初に配線される。

続いて方針 (2) について述べる。まず配線処理によりシフトタの各シフト量を用いた場合の経路を探索する。たとえば図 12 で用いられているシフトタの場合、シフトタの設定方法はシフト量 0 からシフト量 3 までの 4 通り存在する。この 4 通りの設定に対し、経路探索を行う。

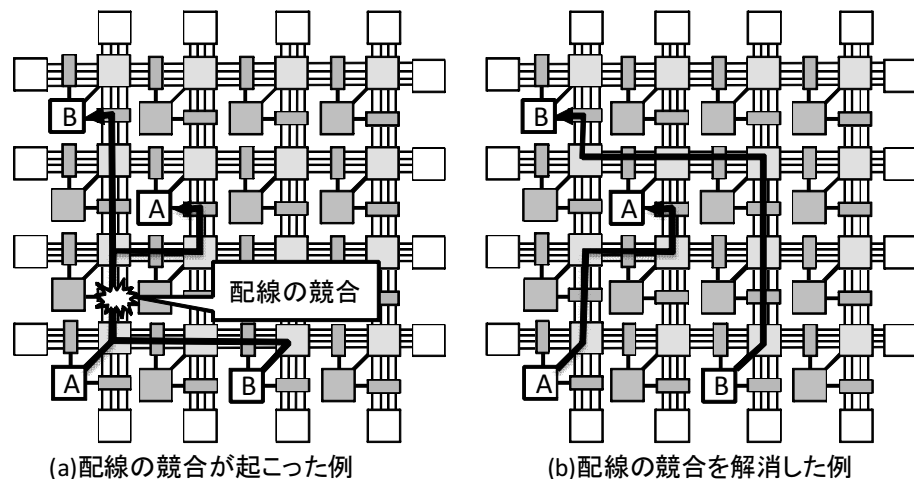


図 10 配線の競合解消例

そして、最終的にルータが採用した経路（シフト量）以外の経路にある一定のシフトコストを加算する。この時加算するシフトコストはSB2段と配線2本分の伝搬遅延である。加えて、3.1節で述べた Timing-Driven ルータのコスト更新に合わせ、シフトコストも配線競合がなくなるまで更新する。

4. 評価

4.1 評価環境

従来の配線構造とシフタを用いた配線構造にベンチマーク回路を実装し、性能を評価する。ベンチマーク回路には MCNC ベンチマークのうち大規模回路 20 種を用いる。評価フローを図 13 に示す。テクノロジマッピングには ABC⁷⁾ を使用する。クラスタリングには T-VPack⁸⁾ を用いる。配置には VPR5.0 を用い、配置結果は共有する。従来の配線構造には Timing-Driven ルータ、シフタを用いた配線構造には提案ルータを用いる。

4.2 面積、遅延モデル

本節では、評価に必要なパラメータの算出方法について述べる。プロセスは e-shuttle 65nm ライブラリを使用する。まず、論理ブロックと各入力のパレルシフタを HDL にて設計する。設計した HDL を Synopsys Design Compiler Y-2006.06-SP6-2 を用いて論理合成し、

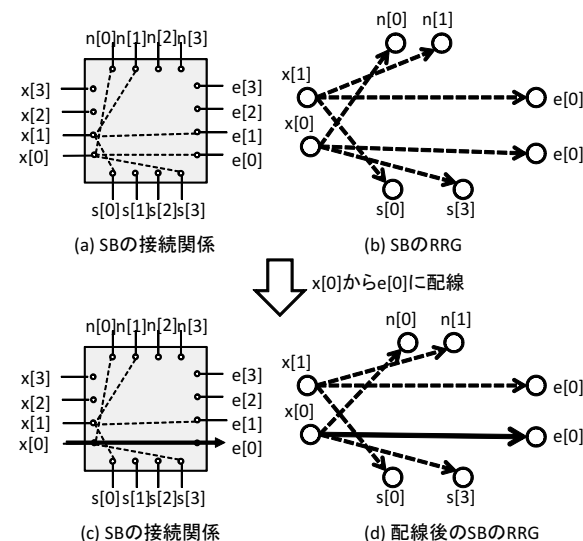


図 11 従来の SB の RRG

その結果をもとに論理ブロックとパレルシフタの面積を求める。その後、論理面積は論理ブロックの面積と VPR により得られたアレイサイズとの積により、デバイス全体の論理面積を求める。CB と SB の面積は各ブロックで使用するマルチプレクサとコンフィギュレーションメモリ数を求め、その数とマルチプレクサおよびコンフィギュレーションメモリ単体の面積の積より算出する。なお、マルチプレクサ単体の面積は、セルライブラリ中のドライブ能力 1 の 2to1 マルチプレクサの面積を使用し、メモリ単体の面積は D フリップフロップの面積を使用し算出している。そして CB, SB, パレルシフタの面積を加算することで配線部の面積を算出する。また、論理合成後に得られた回路より、Synopsys Prime Time pts.a2007.12-SP3 を用いて配線部と論理部の遅延を求める。その遅延情報を基に、VPR5.0 がクリティカルパス遅延を算出する。

4.3 評価結果

評価結果として、図 14 に実装面積、図 15 に実装回路が使用した総配線長、図 16 にクリティカルパス遅延に示す。評価結果は全て従来の配線構造の結果で正規化している。結果として実装面積は平均して 18.4%増加した。s298 や des では必要な配線リソース数が減少し

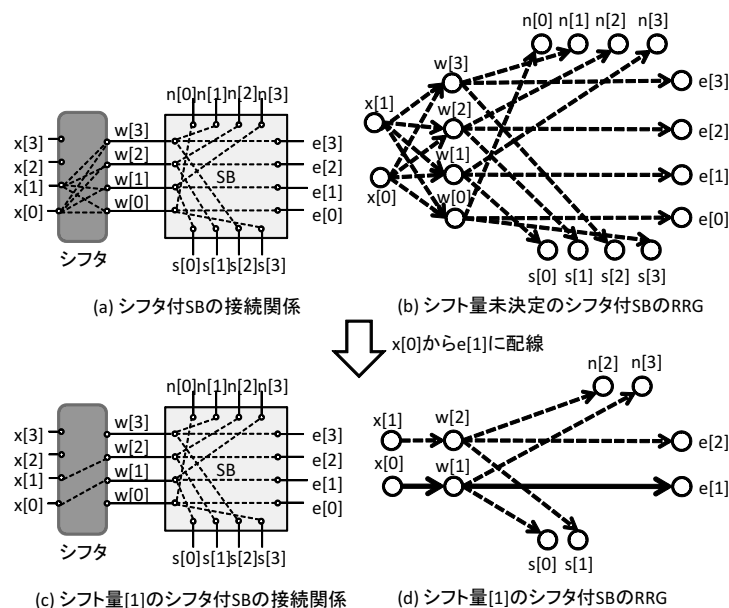


図 12 シフト付き SB の RRG

たため、実装面積が削減された。総配線長は平均で 1.12%削減された。クリティカルパス遅延は平均で 3.42%改善することができた。

4.4 考 察

小規模回路では、実装面積の削減ができた。これは、小規模回路は信号数が少ないため、シフトを有効利用できる信号数の割合が多くなるためである。総配線長とクリティカルパス遅延の結果から、従来の配線構造に比べ、シフト付き配線構造では各信号が迂回せずより短い経路を通過したと考えられる。しかしながら、各信号がより短い経路を通過しようとしたため、逆に配線混雑が起き、必要な配線リソース数が増えた。このため、実装面積が増加した。これらを改善するためには、最短経路を通過すべき信号とそうでない信号を配線混雑を考慮することで分類し、配線混雑が起らないようにシフトを利用しなければならない。

5. む す び

本論文では、シフト付き SB を用いた配線構造向け配線ツールの作成を行った。今回の配

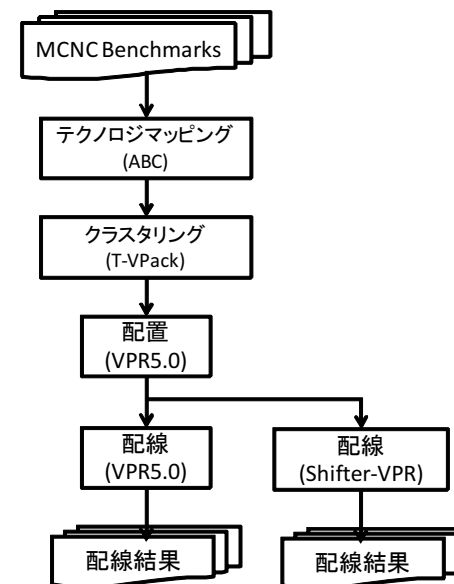


図 13 評価フロー

線手法は、総配線長削減のためにシフトを用いてより短い経路を通るように配線を行った。その結果、各信号がより短い経路を通過するようになったため、クリティカルパス遅延を 3.42%改善することに成功した。しかしながら、配線混雑が起こったため、必要な配線が増え、最終的に実装面積が 18.4%増加した。これは、各信号の迂回を削減した結果、信号経路が中央に集中し配線混雑が起こったためである。

今後の課題として、配線混雑を緩和し、実装面積を削減するような配線アルゴリズムの改良が必要となる。そのためには、最短経路を通過すべき信号とそうでない信号を分類し、迂回と配線混雑のトレードオフを考慮した手法を導入する必要がある。

参 考 文 献

- 1) W. Mark Feng, S. Kaptanoglu, "Designing Efficient Input Interconnect Blocks for LUT Clusters Using Counting and Entropy," Proc. FPGA, pp. 23-32, Feb., 2007.
- 2) M. Sheng, J. Rose, "Mixing Buffers and Pass Transistors in FPGA Routing Architectures," Proc. FPGA, pp.75-84, Feb., 2001.
- 3) 吉澤孔明, 井上万輝, 尼崎太樹, 飯田全広, 末吉敏則, "シフト付きスイッチブロックを

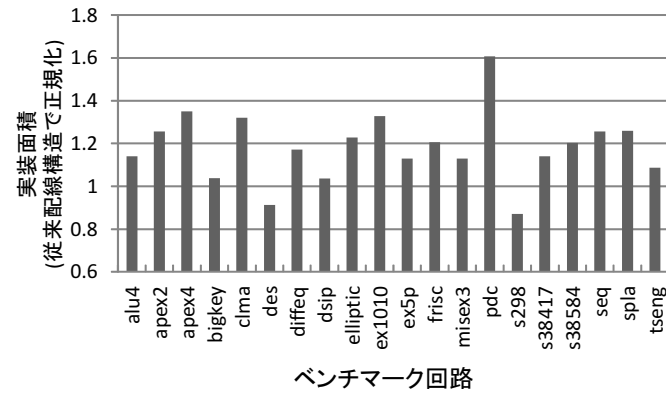


図 14 実装回路の実装面積 (配線部と論理部の面積)

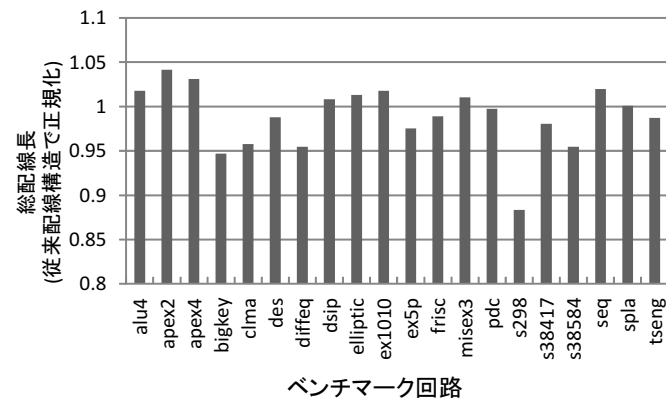


図 15 実装回路の総配線長

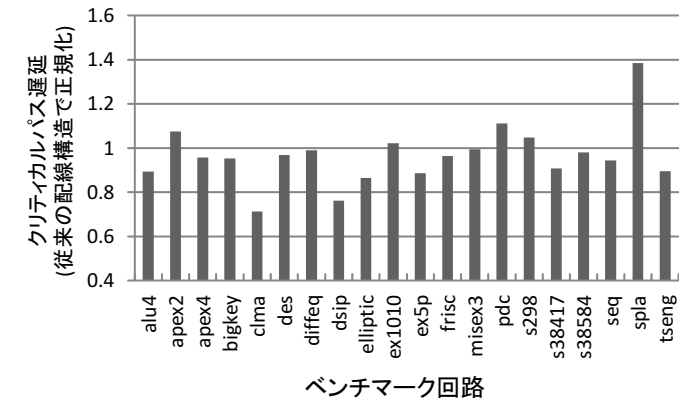


図 16 実装回路のクリティカルパス遅延

- 6) J. Rose, S. Brown, "Flexibility of Interconnection Structures for Field-Programmable Gate Arrays," IEEE Journal of solid - state Circuits, vol.26, No.3, pp.171-174, March, 1991.
- 7) A. Mishchenko, S. Cho, S. Chatterjee and R. Brayton, "Combinational and Sequential Mapping with Priority Cuts," Proc. ICCAD, pp.354-361, Nov. 2007.
- 8) A. Marquardt, V. Bets and J. Rose, "Using Cluster-Based Logic Blocks and Timing-Driven Packing to Improve FPGA Speed and Density," Proc. FPGA, pp.37-46, Feb. 1999.
- 9) J. Luu, I. Kuon, P. Jamieson, T. Campbell, A. Ye, W. Mark Fang, J. Rose, "VPR 5.0: FPGA cad and architecture exploration tools with single-driver routing, heterogeneity and process scaling," Proc. FPGA, pp.132-142, Feb. 2009.
- 10) L. McMurchie and C. Ebeling, "Pathfinder: A negotiation-based performance-driven router for FPGAs," Proc. FPGA, pp.111-117, 1995.

用いた FPGA 配線構造の設計," 信学技報 CAS2010-88, vol.110, no.389, pp.23-28, Jan. 2011.

- 4) Guy Lemieux, David Lewis,"Design of Interconnection Net-works for Programmable Logic," Kluwer Academic Pub. 2003.
- 5) V. Betz, J. Rose and A. Marquardt, "Architecture and CAD for Deep - Submicron FPGAs," Kluwer Academic Publishers, 1999.